

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Michio ORYOJI

Serial Number: 10/696,588

Filed: October 30, 2003

Customer No.: 38834

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

January 12, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-318166, filed on October 31, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032072
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111

SGA/my

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年10月31日

出願番号

Application Number: 特願2002-318166

[ST.10/C]:

[JP2002-318166]

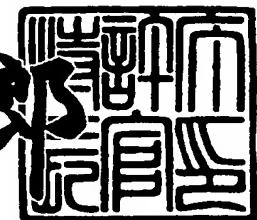
出願人

Applicant(s): 富士通株式会社

2003年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3020049

【書類名】 特許願
【整理番号】 0241664
【提出日】 平成14年10月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体装置の製造方法
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 押領司 方生
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100090273
【弁理士】
【氏名又は名称】 國分 孝悦
【電話番号】 03-3590-8901
【手数料の表示】
【予納台帳番号】 035493
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9908504
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 デュアルダマシン法により配線を形成する工程を有する半導体装置の製造方法において、

導電層上に、キャップ膜、第1の層間絶縁膜、エッティングストップ膜、第2の層間絶縁膜及びハードマスクを順次形成する工程と、

前記ハードマスク、第2の層間絶縁膜、エッティングストップ膜及び第1の層間絶縁膜に前記キャップ膜まで到達するビアホールを形成する工程と、

前記第1の層間絶縁膜よりも高く、前記第1の層間絶縁膜、エッティングストップ膜及び第2の層間絶縁膜の積層体よりも低い埋め込み材を、前記ビアホール内に埋め込む工程と、

前記埋め込み材を露出する開口部が形成されたレジストマスクを使用して、前記ハードマスク及び第2の層間絶縁膜をエッティングすることにより、前記第2の層間絶縁膜に、その底面が前記エッティングストップ膜の上面よりも高く前記埋め込み材の上面よりも低い位置にある溝を形成する工程と、

前記レジストマスク及び埋め込み材を除去する工程と、

前記ハードマスクをマスクとして、前記第2の層間絶縁膜を更にエッティングする工程と、

前記ハードマスク並びに前記エッティングストップ膜及びキャップ膜の露出している部分を除去することにより、配線溝を形成する工程と、

前記ビアホール及び配線溝内に導電膜を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記埋め込み材を埋め込む工程において、前記埋め込み材の高さを、前記ハードマスク及び第2の層間絶縁膜をエッティングする際に前記埋め込み材がエッティングされても、前記溝の底部が前記埋め込み材の上面よりも低くなる高さに設定しておくことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1及び第2の層間絶縁膜は、SiOC系の絶縁膜であ

ることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記エッチングストップ膜及びハードマスクを、同一の材料から形成することを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記キャップ膜、エッチングストップ膜及びハードマスクを、同一のエッチング条件で除去できる材料から形成することを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記ビアホール及び配線溝内に導電膜を埋め込む工程は、前記ビアホール及び配線溝の内面に、バリアメタル膜を形成する工程と、前記バリアメタル膜上に、配線材を形成する工程と、を有することを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記配線材を形成する工程は、前記バリアメタル膜上に、シード膜を形成する工程と、前記シード膜上に、メッキ法により金属膜を形成する工程と、を有することを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、配線層の形成に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】

近時の配線層の微細加工では、SiO系の層間絶縁膜を用いた先Via(ビア)方式のデュアルダマシンが採用されている。デュアルダマシンでは、埋め込み材の高さを制御することにより、ビア間のフェンスやビア内の段差の発生を抑制している。この高さの制御では、埋め込み材の高さを下側に位置する層間絶縁膜の高さと一致させている。

【0003】

また、その一方で、高速動作を可能するために配線層間の寄生容量の低減等

を目的として、配線層間の層間絶縁膜として低誘電率膜が使用されてきている。

【0004】

【特許文献1】

特開2000-188329号公報

【0005】

【発明が解決しようとする課題】

低誘電率のSiOC系の層間絶縁膜を用いて先ビア方式のデュアルダマシンを形成する場合でも、ビア内の埋め込み材の高さの制御によってビア間のフェンス、ビア内の段差の発生を抑制する必要がある。

【0006】

ここで、従来の製造方法で埋め込み材の高さの制御が不適切な場合に生じる不具合について説明する。

【0007】

先ず、埋め込み材の高さが高すぎる場合に生じる不具合について説明する。図8及び図9は、埋め込み材の高さが高すぎる場合の半導体装置の製造方法を工程順に示す断面図である。

【0008】

先ず、図8(a)に示すように、配線101上に、SiC膜102、SiOC膜103、SiC膜104、SiOC膜105、TEOS(Tetra Ethyl Ortho Silicate)膜106及びSiN膜107を順次形成する。次いで、SiN膜107、TEOS膜106、SiOC膜105、SiC膜104及びSiOC膜103に、ビアホール108を形成する。続いて、ビアホール108内に埋め込み材109を埋め込む。この例では、埋め込み材109の高さが、埋め込み材109の表面がSiOC膜105の上面とSiC膜104の上面との間になっている。つまり、埋め込み材109がSiOC膜105よりも高くなっている。その後、全面にレジストを塗布し、これをパターニングすることにより、レジストマスク110を形成する。

【0009】

次に、図8(b)に示すように、レジストマスク110をマスクとして、Si

N膜107、TEOS膜106及びSiOC膜105のエッティングを、SiC膜104の表面が露出するまで行う。このエッティングの結果、SiOC膜105の一部が埋め込み材109の側部に残存する。

【0010】

次いで、アッシングにより、図9(a)に示すように、レジストマスク110及び埋め込み材109を除去する。

【0011】

続いて、図9(b)に示すように、SiC膜102及び104をエッティングにより除去する。このとき、SiC膜102及び104とのエッティング選択比が低いSiN膜107も同時に除去される。このエッティングの結果、トレンチ(溝)112が形成されると共に、配線101が露出される。

【0012】

そして、配線(図示せず)の埋め込み等を行う。

【0013】

このように、従来の製造方法において埋め込み材109の高さが高すぎる場合には、図9(b)に示すように、図8(b)に示す工程で埋め込み材109の側部に残存したSiOC膜105の一部がそのままトレンチ112内に残存してしまっている。

【0014】

次に、埋め込み材の高さが低すぎる場合に生じる不具合について説明する。図10及び図11は、埋め込み材の高さが低すぎる場合の半導体装置の製造方法を工程順に示す断面図である。

【0015】

先ず、図10(a)に示すように、図8(a)に示す工程と同様に、ビアホール108内への埋め込み材109の埋め込みまでの工程を行う。但し、この例では、埋め込み材109の高さが、埋め込み材109の表面がSiC膜102の上面とSiOC膜103の上面との間になっている。つまり、埋め込み材109がSiOC膜103よりも低くなっている。その後、全面にレジストを塗布し、これをパターニングすることにより、レジストマスク110を形成する。

【0016】

次に、図10（b）に示すように、レジストマスク110をマスクとして、SiN膜107、TEOS膜106及びSiOC膜105のエッチングを、SiC膜104の表面が露出するまで行う。この例では、SiC膜104が形成された高さよりも埋め込み材109が低いため、このエッチングの過程で、SiC膜104の端部も若干エッチングされる。この結果、SiC膜104のエッチングされた部分に覆われていたSiOC膜103の一部は、埋め込み材109の上面より深くまでエッチングされてしまう。従って、SiOC膜103に段差が生じる。

【0017】

次いで、アッシングにより、図11（a）に示すように、レジストマスク110及び埋め込み材109を除去する。

【0018】

続いて、図11（b）に示すように、SiC膜102及び104をエッチングにより除去する。このとき、SiC膜102及び104とのエッチング選択比が高いSiN膜107も同時に除去される。このエッチングの結果、トレンチ112が形成されると共に、配線101が露出される。

【0019】

そして、配線（図示せず）の埋め込み等を行う。

【0020】

このように、従来の製造方法において埋め込み材109の高さが高すぎる場合には、図11（b）に示すように、図10（b）に示す工程でSiOC膜103に形成された段差が消失せずに残存してしまっている。

【0021】

このため、上述のように、埋め込み材109の高さは厳密に制御する必要がある。

【0022】

しかしながら、レジストポイソニングの影響や埋め込み材の高さの制御の困難性によって、ピア間のフェンスやピア内の段差が発生してしまう。これらの問題

は、歩留まり及び信頼性の低下につながる。

【0023】

本発明は、かかる問題点に鑑みてなされたものであって、デュアルダマシンにおいて層間絶縁膜に低誘電率膜を使用した場合であっても、ビア間のフェンス及びビア内の段差の発生を防止することができる半導体装置の製造方法を提供することを目的とする。

【0024】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0025】

本発明に係る半導体装置の製造方法は、デュアルダマシン法により配線を形成する工程を有する半導体装置の製造方法を対象とする。そして、この半導体装置の製造方法では、先ず、導電層上に、キャップ膜、第1の層間絶縁膜、エッティングストップ膜、第2の層間絶縁膜及びハードマスクを順次形成し、前記ハードマスク、第2の層間絶縁膜、エッティングストップ膜及び第1の層間絶縁膜に前記キャップ膜まで到達するビアホールを形成する。次に、前記第1の層間絶縁膜よりも高く、前記第1の層間絶縁膜、エッティングストップ膜及び第2の層間絶縁膜の積層体よりも低い埋め込み材を、前記ビアホール内に埋め込み、前記埋め込み材を露出する開口部が形成されたレジストマスクを使用して、前記ハードマスク及び第2の層間絶縁膜をエッティングすることにより、前記第2の層間絶縁膜に、その底面が前記エッティングストップ膜の上面よりも高く前記埋め込み材の上面よりも低い位置にある溝を形成する。次いで、前記レジストマスク及び埋め込み材を除去し、前記ハードマスクをマスクとして、前記第2の層間絶縁膜を更にエッティングする。その後、前記ハードマスク並びに前記エッティングストップ膜及びキャップ膜の露出している部分を除去することにより、配線溝を形成する。そして、前記ビアホール及び配線溝内に導電膜を埋め込む。

【0026】

本発明においては、第2の層間絶縁膜に配線溝を形成するに当たって、2度のエッティングを行う。即ち、最初に、埋め込み材よりも低く、かつエッティングスト

ツバ膜まで到達しない位置までエッチングし、レジストマスク及び埋め込み材を除去した後に、2度目のエッチングを行うことにより、エッチングストップ膜まで到達する配線溝を形成する。従って、最初のエッチングの際に、埋め込み材に倣うようにしてフェンスが形成されたとしても、2度目のエッチングの際に、このフェンスが消滅し、所望の形状のビアホール及び配線溝（トレンチ）が得られる。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置の製造方法について添付の図面を参照して具体的に説明する。図1乃至図3は、本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0028】

本実施形態においては、先ず、半導体基板（図示せず）上に、トランジスタ及びキャパシタ等の半導体素子を形成し、図1（a）に示すように、その上に層間絶縁膜及び配線1等を形成する。

【0029】

更に、図1（a）に示すように、配線1上に、キャップ膜としてのSiC膜2、第1の層間絶縁膜としてのSiOC膜3、エッチングストップ膜としてのSiC膜4、第2の層間絶縁膜としてのSiOC膜5及びTEOS（Tetra Ethyl Ortho Silicate）膜6並びにハードマスクとしてのSiN膜7を順次形成する。これらの膜厚は、例えば、SiC膜2；70nm、SiOC膜3；550nm、SiC膜4；30nm、SiOC膜5；370nm、TEOS膜6；30nm、SiN膜7；50nmである。

【0030】

次いで、レジストマスク（図示せず）をマスクとして用いて、SiN膜7、TEOS膜6、SiOC膜5、SiC膜4及びSiOC膜3に、ビアホール8を形成する。このビアホール8の形成では、例えばCF₄及びO₂を使用したドライエッチングを行う。続いて、ビアホール8内に、例えば有機材料からなるレジスト等の埋め込み材9を埋め込み、この高さを、埋め込み材9の表面がSiOC膜5

の上面とSiC膜4の上面との間になるように調整する。つまり、埋め込み材9の高さを、SiOC膜3よりも高く、かつSiOC膜3、SiC膜4、SiOC膜5及びTEOS膜6の積層体よりも低いものに調整する。このとき、埋め込み材9の高さを、後の工程で、SiN膜7、TEOS膜6及びSiOC膜5をエッティングする際に埋め込み材9がエッティングされても、SiOC膜5に形成される溝の底部が埋め込み材9の上面よりも低くなる程度に設定する。

【0031】

その後、全面にレジストを塗布し、これをパターニングすることにより、レジストマスク10を形成する。このとき、レジストポイソニングの影響により、レジストマスク10の開口部内に、レジスト残渣11が発生する。

【0032】

次に、レジストマスク10をマスクとして、SiN膜7、TEOS膜6及びSiOC膜5のエッティングを行う。但し、本実施形態では、図1（b）に示すように、SiOC膜5に形成された溝の底部が、埋め込み材9の上面よりも低く、SiC膜4の上面よりも高い位置に達したところで、SiOC膜5のエッティングを停止する。このエッティングにおいて、レジスト残渣11は完全に除去される。

【0033】

次いで、アッシングにより、図2（a）に示すように、レジストマスク10及び埋め込み材9を除去する。この時点では、SiOC膜5にフェンスが形成されている。

【0034】

続いて、図2（b）に示すように、ハードマスク7をマスクとして、SiOC膜5のエッティングを行う。このエッティングでは、例えばCF₄及びO₂を使用する。このエッティングにおいては、SiOC膜5とSiC膜4とのエッティング選択比が高いので、SiOC膜5のエッティングは、SiC膜4の表面が露出した時点で確実に停止する。このエッティングの結果、SiOC膜5のフェンスが完全に消滅する。

【0035】

その後、図2（c）に示すように、SiC膜2及び4をエッティングにより除去

する。このエッティングでは、例えばCHF₃又はCH₂F₂、N₂及びO₂を使用する。このとき、SiC膜2及び4とのエッティング選択比が低いSiN膜7も同時に除去される。このエッティングの結果、トレンチ（配線溝）12が形成されると共に、配線1が露出される。

【0036】

次に、ビアホール8及びトレンチ12の側面にバリアメタル膜及びCuからなるシードメタル膜（図示せず）を形成した後、図3に示すように、メッキ法によりCu膜（金属膜）を成長させ、このCu膜等の平坦化を行うことにより、Cu配線13を形成する。このとき、TEOS膜6が除去される。その後、必要に応じて、更に層間絶縁膜及び配線等の形成を行い、半導体装置を完成させる。

【0037】

図4は、本実施形態を適用して製造した半導体装置の構造を示す断面図である。図4に示す例では、上述の実施形態に係る製造方法により、少なくとも2層の多層配線が形成されている。図4中の層間絶縁膜3aは、SiOC膜3に相当し、層間絶縁膜5aは、SiOC膜5に相当する。そして、最上層のCu配線13及び層間絶縁膜5a上に、SiC等からなるパッシベーション膜14が形成されている。更に、パッシベーション膜14上に、SiO膜15及びSi₃N₄膜16からなるカバー膜が形成されている。カバー膜には、適宜パッド引出用の開口部（図示せず）が形成されている。

【0038】

このように、本実施形態に係る製造方法によれば、埋め込み材9の高さを厳密に調整せずとも、また、レジストポイソニングが発生しても、フェンスの発生及び段差の発生を防止することができる。従って、歩留及び信頼性が向上する。また、埋め込み材9の高さを厳密に調整する必要がなくなるため、先ビア方式のデュアルダマシン方式でのマージンが向上する。

【0039】

なお、上述の実施形態では、層間絶縁膜をSiOC膜としているが、SiO膜とした場合にも、同様の効果が得られる。

【0040】

ここで、本願発明者が実際に半導体装置を製造するに当たってビアホールの顕微鏡観察を行った結果について説明する。図5は、上述の実施形態におけるビアホールの形状を示す顕微鏡写真であり、図6は、従来の製造方法で埋め込み材の高さを高くしすぎた場合のビアホールの形状を示す顕微鏡写真であり、図7は、従来の製造方法で埋め込み材の高さを低くしすぎた場合のビアホールの形状を示す顕微鏡写真である。

【0041】

図5に示すように、本発明の実施形態によれば、ビア間のフェンスもビア内の段差も存在しない。これに対し、従来の製造方法で埋め込み材の高さを高くしすぎた場合には、図6に示すように、ビア間にフェンスが存在し、低くしすぎた場合には、図7に示すように、ビア内に段差が存在している。

【0042】

以下、本発明の諸態様を付記としてまとめて記載する。

【0043】

(付記1) デュアルダマシン法により配線を形成する工程を有する半導体装置の製造方法において、

導電層上に、キャップ膜、第1の層間絶縁膜、エッチングストップ膜、第2の層間絶縁膜及びハードマスクを順次形成する工程と、

前記ハードマスク、第2の層間絶縁膜、エッチングストップ膜及び第1の層間絶縁膜に前記キャップ膜まで到達するビアホールを形成する工程と、

前記第1の層間絶縁膜よりも高く、前記第1の層間絶縁膜、エッチングストップ膜及び第2の層間絶縁膜の積層体よりも低い埋め込み材を、前記ビアホール内に埋め込む工程と、

前記埋め込み材を露出する開口部が形成されたレジストマスクを使用して、前記ハードマスク及び第2の層間絶縁膜をエッチングすることにより、前記第2の層間絶縁膜に、その底面が前記エッチングストップ膜の上面よりも高く前記埋め込み材の上面よりも低い位置にある溝を形成する工程と、

前記レジストマスク及び埋め込み材を除去する工程と、

前記ハードマスクをマスクとして、前記第2の層間絶縁膜を更にエッチングす

る工程と、

前記ハードマスク並びに前記エッチングストッパ膜及びキャップ膜の露出している部分を除去することにより、配線溝を形成する工程と、

前記ピアホール及び配線溝内に導電膜を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【0044】

(付記2) 前記埋め込み材を埋め込む工程において、前記埋め込み材の高さを、前記ハードマスク及び第2の層間絶縁膜をエッチングする際に前記埋め込み材がエッチングされても、前記溝の底部が前記埋め込み材の上面よりも低くなる高さに設定しておくことを特徴とする付記1に記載の半導体装置の製造方法。

【0045】

(付記3) 前記第1及び第2の層間絶縁膜は、SiOC系の絶縁膜であることを特徴とする付記1又は2に記載の半導体装置の製造方法。

【0046】

(付記4) 前記エッチングストッパ膜及びハードマスクを、同一の材料から形成することを特徴とする付記1乃至3のいずれか1項に記載の半導体装置の製造方法。

【0047】

(付記5) 前記キャップ膜、エッチングストッパ膜及びハードマスクを、同一のエッチング条件で除去できる材料から形成することを特徴とする付記1乃至4のいずれか1項に記載の半導体装置の製造方法。

【0048】

(付記6) 前記ピアホール及び配線溝内に導電膜を埋め込む工程は、前記ピアホール及び配線溝の内面に、バリアメタル膜を形成する工程と、前記バリアメタル膜上に、配線材を形成する工程と、を有することを特徴とする付記1乃至5のいずれか1項に記載の半導体装置の製造方法。

【0049】

(付記7) 前記配線材を形成する工程は、

前記バリアメタル膜上に、シード膜を形成する工程と、
前記シード膜上に、メッキ法により金属膜を形成する工程と、
を有することを特徴とする付記6に記載の半導体装置の製造方法。

【0050】

【発明の効果】

以上詳述したように、本発明によれば、埋め込み材の高さを厳密に調整せずとも、また、レジストのパターニングの際にレジストポイソニングが発生しても、フェンスの発生及び段差の発生を防止することができる。従って、歩留及び信頼性を向上させることができる。また、埋め込み材の高さを厳密に調整する必要がなくなるため、先ビア方式のデュアルダマシン方式での広いマージンを確保することもできる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】

図1に引き続き、本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】

図2に引き続き、本発明の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】

本実施形態を適用して製造した半導体装置の構造を示す断面図である。

【図5】

本発明の実施形態におけるビアホールの形状を示す顕微鏡写真である。

【図6】

従来の製造方法で埋め込み材の高さを高くしすぎた場合のビアホールの形状を示す顕微鏡写真である。

【図7】

従来の製造方法で埋め込み材の高さを低くしすぎた場合のビアホールの形状を

示す顕微鏡写真である。

【図8】

埋め込み材の高さが高すぎる場合の従来の半導体装置の製造方法を工程順に示す断面図である。

【図9】

図8に引き続き、埋め込み材の高さが高すぎる場合の従来の半導体装置の製造方法を工程順に示す断面図である。

【図10】

埋め込み材の高さが低すぎる場合の従来の半導体装置の製造方法を工程順に示す断面図である。

【図11】

図10に引き続き、埋め込み材の高さが低すぎる場合の半導体装置の製造方法を工程順に示す断面図である。

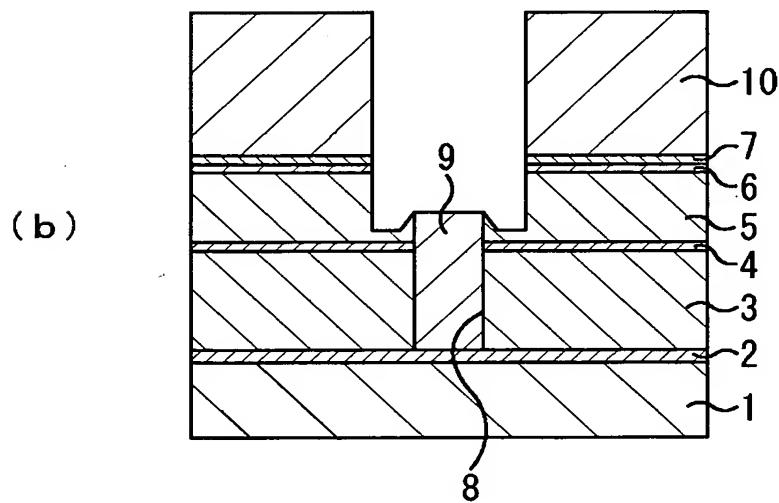
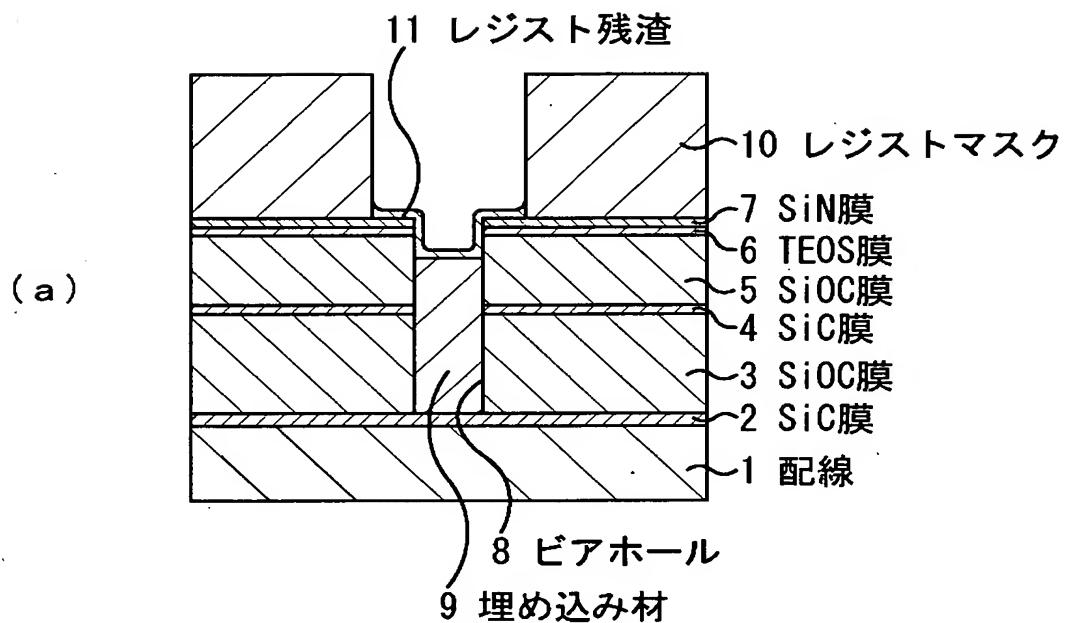
【符号の説明】

- 1 ; 配線
- 2、4；SiC膜
- 3、5；SiOC膜
- 6；TEOS膜
- 7；SiN膜
- 8；ビアホール
- 9；埋め込み材
- 10；レジストマスク
- 11；レジスト残渣
- 12；トレンチ（配線溝）

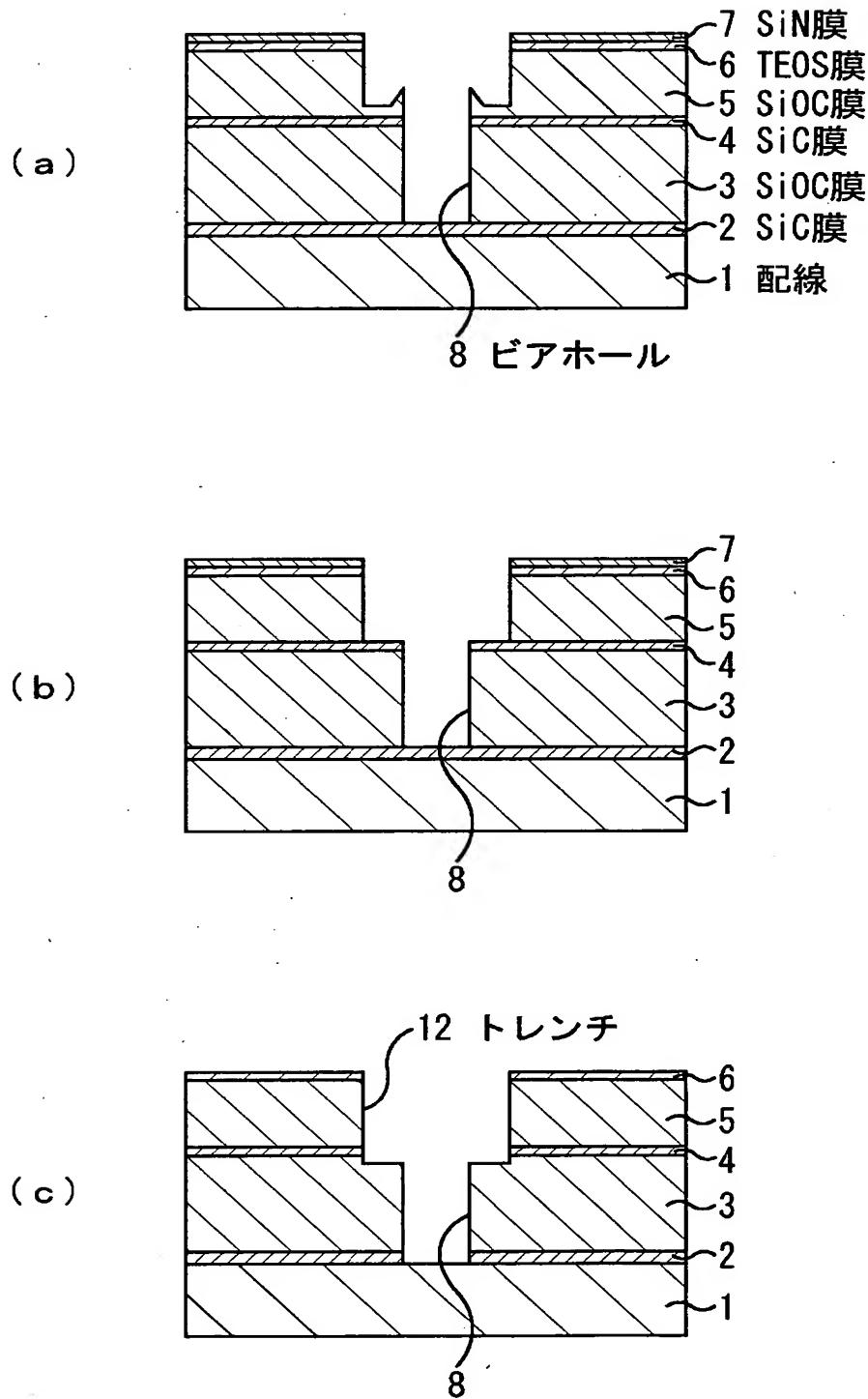
【書類名】

図面

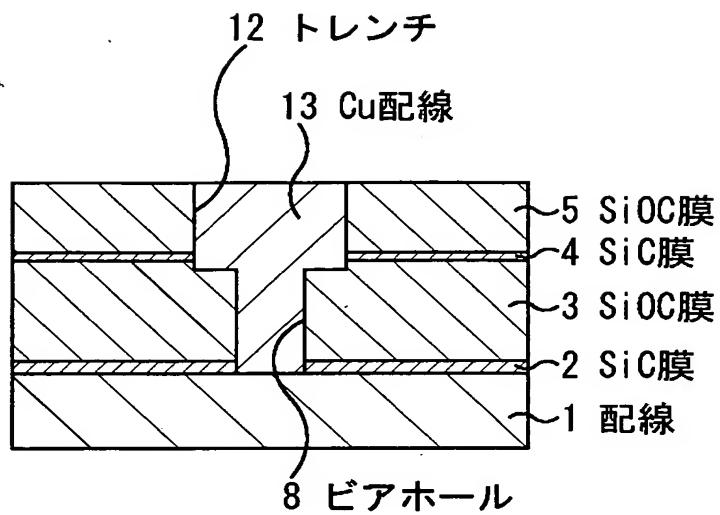
【図1】



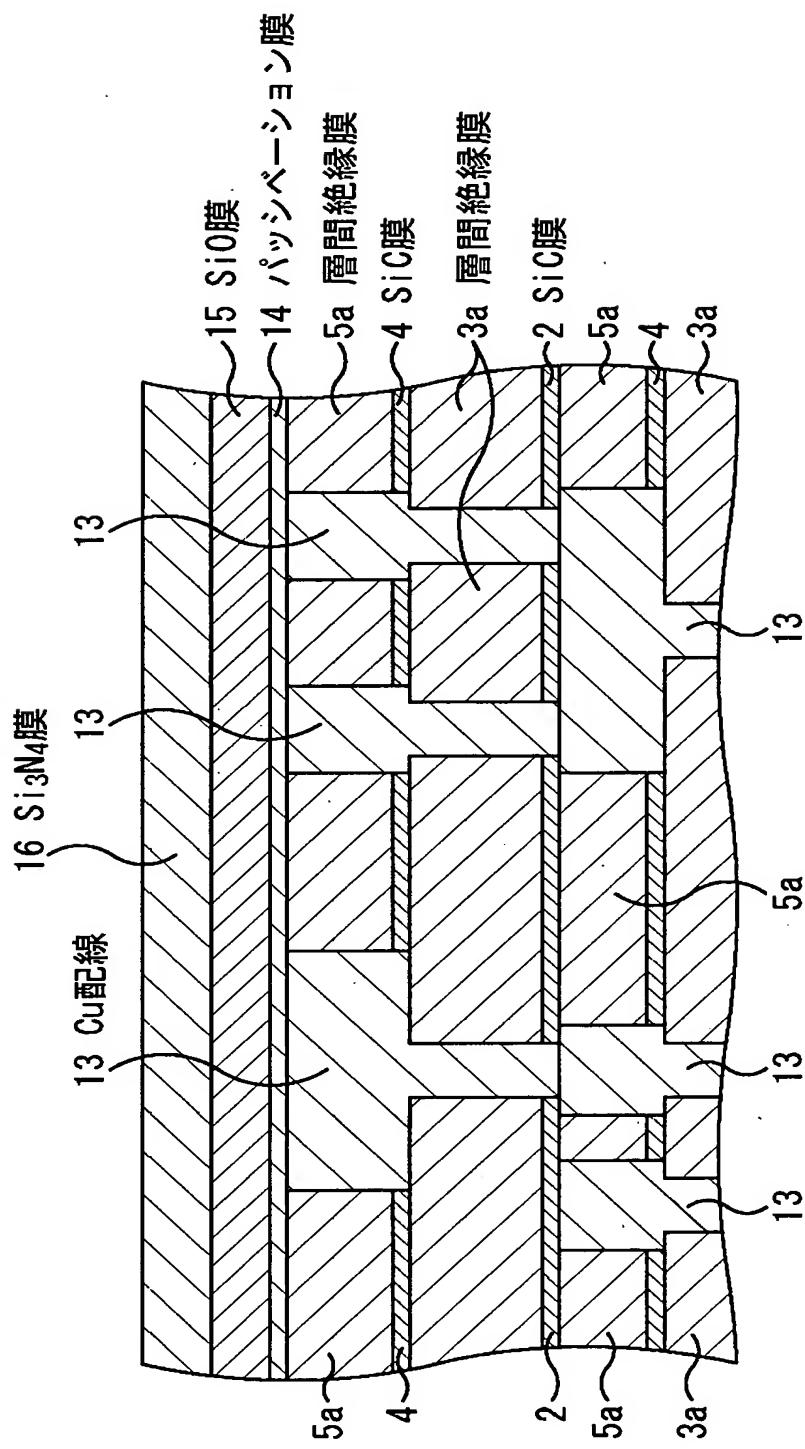
【図2】



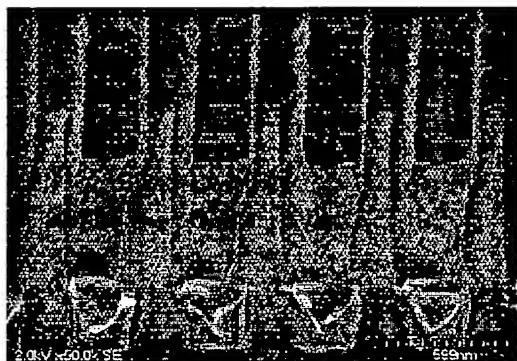
【図3】



【図4】

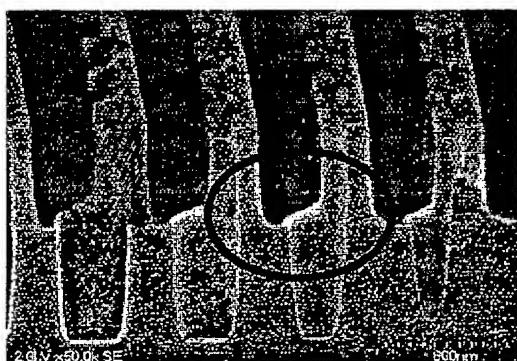


【図5】



ビア間のフェンスなし
ビア内の段差なし

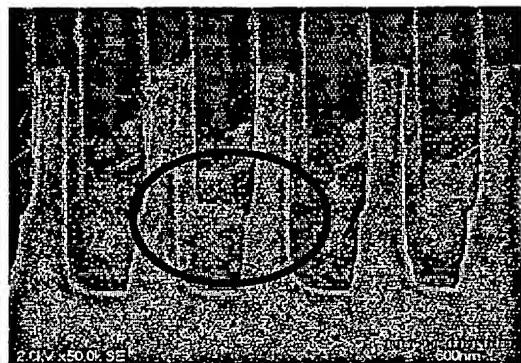
【図6】



ビア間のフェンス

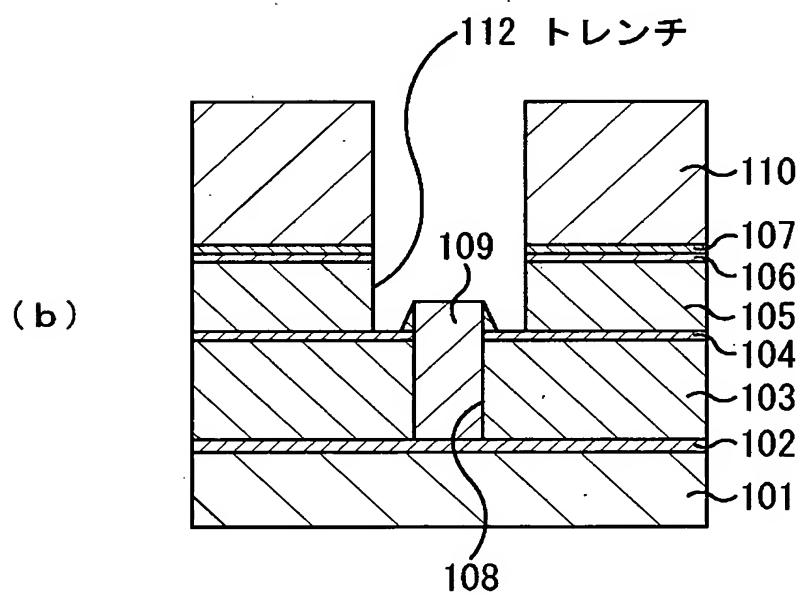
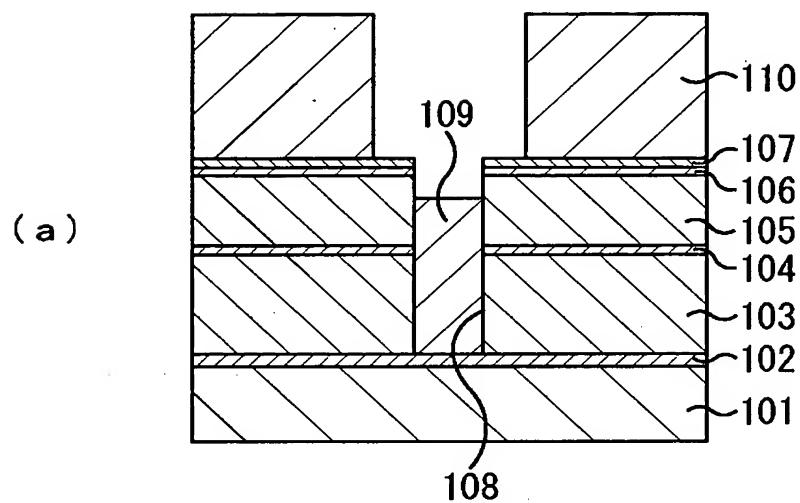
特2002-318166

【図7】

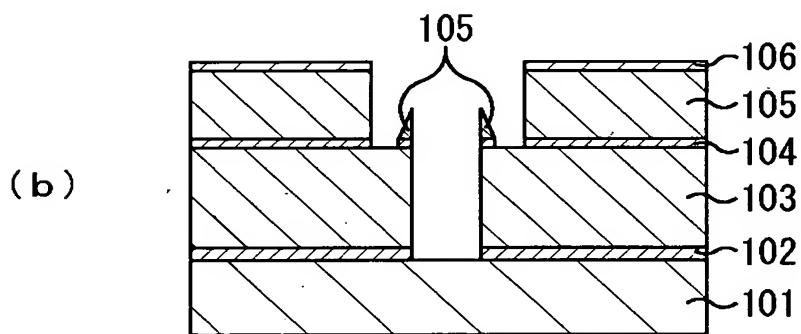
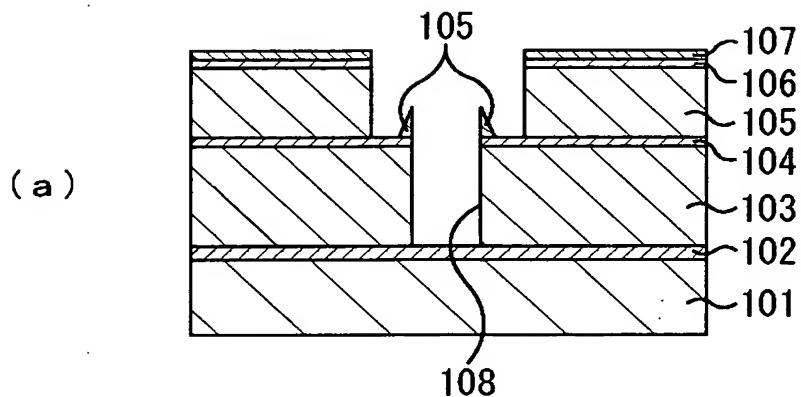


ピア内の段差

【図8】

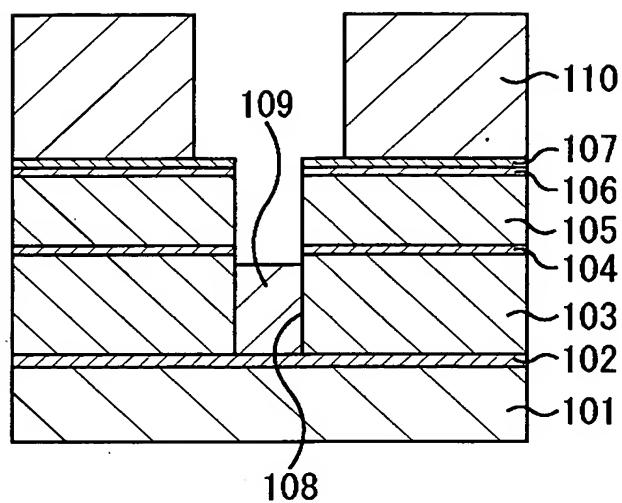


【図9】

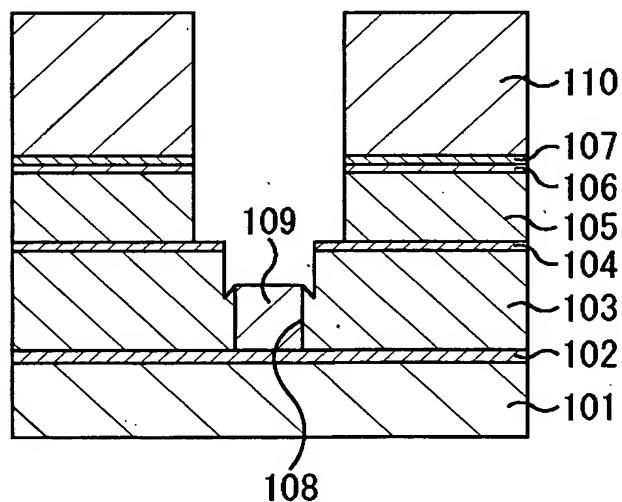


【図10】

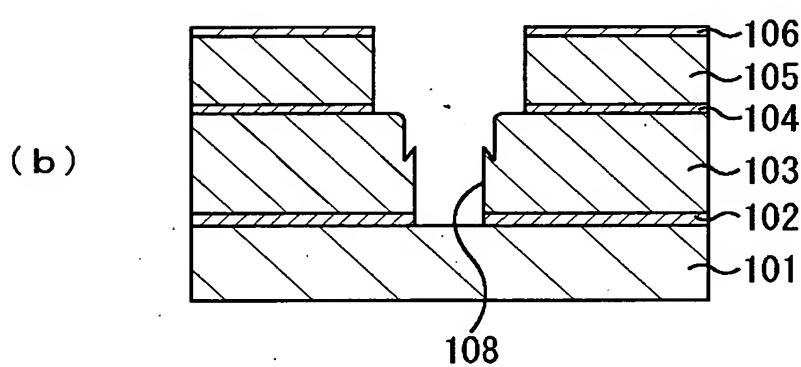
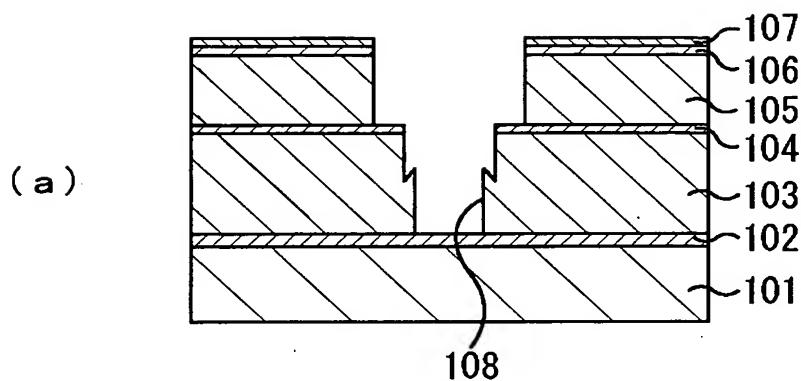
(a)



(b)



【図11】



【書類名】 要約書

【要約】

【課題】 デュアルダマシンにおいて層間絶縁膜に低誘電率膜を使用した場合であっても、ピア間のフェンス及びピア内の段差の発生を防止することができる半導体装置の製造方法を提供する。

【解決手段】 先ず、ピアホール8を形成し、ピアホール8内に埋め込み材9を埋め込み、この高さを、埋め込み材9の表面がSiOC膜5の上面とSiC膜4の上面との間になるように調整する。その後、レジストマスク10をマスクとして、SiN膜7、TEOS膜6及びSiOC膜5のエッチングを行う。但し、SiOC膜5に形成された溝の底部が、埋め込み材9の上面よりも下で、SiC膜4の上面よりも上の位置に達したところで、SiOC膜5のエッチングを停止する。その後、レジストマスク10及び埋め込み材9を除去し、SiN膜7をマスクとして、SiOC膜5を更にエッチングし、SiN膜7並びにSiC膜4及び2の露出している部分を除去する。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社